

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP2005/017919

International filing date: 21 September 2005 (21.09.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-275293  
Filing date: 22 September 2004 (22.09.2004)

Date of receipt at the International Bureau: 28 October 2005 (28.10.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2004年 9月22日

出願番号 Application Number: 特願2004-275293

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

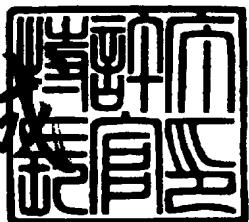
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人 Applicant(s): 株式会社リコー

2005年10月12日

特許庁長官  
Commissioner,  
Japan Patent Office

中嶋誠



【書類名】 特許願  
【整理番号】 196469  
【提出日】 平成16年 9月22日  
【あて先】 特許庁長官殿  
【国際特許分類】 G05F 1/56 310  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 永田 敏久  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 吉井 宏治  
【特許出願人】  
【識別番号】 000006747  
【住所又は居所】 東京都大田区中馬込1丁目3番6号  
【氏名又は名称】 株式会社リコー  
【代理人】  
【識別番号】 100086405  
【弁理士】  
【氏名又は名称】 河宮 治  
【電話番号】 06-6949-1261  
【ファクシミリ番号】 06-6949-0361  
【連絡先】 担当  
【選任した代理人】  
【識別番号】 100098280  
【弁理士】  
【氏名又は名称】 石野 正弘  
【電話番号】 06-6949-1261  
【ファクシミリ番号】 06-6949-0361  
【手数料の表示】  
【予納台帳番号】 163028  
【納付金額】 16,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9808860

**【書類名】特許請求の範囲**

**【請求項 1】**

制御電極に入力された信号に応じた電流を出力するドライバトランジスタと、制御電極に該ドライバトランジスタの制御電極と同じ信号が入力され該ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタとを備えた半導体装置において、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域の周囲にそれぞれ形成されることを特徴とする半導体装置。

**【請求項 2】**

制御電極に入力された信号に応じた電流を出力するドライバトランジスタと、制御電極に該ドライバトランジスタの制御電極と同じ信号が入力され該ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタとを備えた半導体装置において、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域内にそれぞれ形成されることを特徴とする半導体装置。

**【請求項 3】**

前記モニタトランジスタを形成する各トランジスタは、半導体チップ上に等間隔に形成されることを特徴とする請求項 1 又は 2 記載の半導体装置。

**【請求項 4】**

前記ドライバトランジスタ及びモニタトランジスタは、MOSトランジスタであることを特徴とする請求項 1、2 又は 3 記載の半導体装置。

**【請求項 5】**

出力端子から出力される電流に応じた制御信号が制御電極に入力されて該出力端子の電圧を所定の定電圧値になるように制御を行うドライバトランジスタを有し、入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力する定電圧回路部と、

制御電極に前記ドライバトランジスタの制御電極と同じ信号が入力され前記ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタを有し、該モニタトランジスタを使用して、前記ドライバトランジスタに流れた電流の検出を行う出力電流検出回路部と、

を備えたボルテージレギュレータにおいて、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域の周囲にそれぞれ形成されることを特徴とするボルテージレギュレータ。

**【請求項 6】**

出力端子から出力される電流に応じた制御信号が制御電極に入力されて該出力端子の電圧を所定の定電圧値になるように制御を行うドライバトランジスタを有し、入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力する定電圧回路部と、

制御電極に前記ドライバトランジスタの制御電極と同じ信号が入力され前記ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタを有し、該モニタトランジスタを使用して、前記ドライバトランジスタに流れた電流の検出を行う出力電流検出回路部と、

を備えたボルテージレギュレータにおいて、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域内にそれぞれ形成されることを特徴とするボルテージレギュレータ。

**【請求項 7】**

前記モニタトランジスタを形成する各トランジスタは、半導体チップ上に等間隔に形成されることを特徴とする請求項 5 又は 6 記載のボルテージレギュレータ。

**【請求項 8】**

前記出力電流検出回路部は、前記モニタトランジスタに流れた電流を電圧に変換して出

力することを特徴とする請求項 5、6 又は 7 記載のボルテージレギュレータ。

**【請求項 9】**

前記定電圧回路部は、

入力された制御信号に応じた電流を前記入力端子から前記出力端子に出力する出力電圧制御用のドライバトランジスタと、

所定の基準電圧を生成して出力する基準電圧発生回路と、

前記出力端子からの出力電圧を検出し、該検出した出力電圧に比例した電圧を生成して出力する出力電圧検出回路と、

前記比例電圧が前記基準電圧になるように前記ドライバトランジスタの動作制御を行う演算增幅回路と、

を備え、

前記出力電流検出回路部は、前記モニタトランジスタに流れた電流に比例した電流を前記演算增幅回路における差動対に供給することを特徴とする請求項 5、6 又は 7 記載のボルテージレギュレータ。

**【請求項 10】**

前記ドライバトランジスタ及びモニタトランジスタは、MOSトランジスタであることを特徴とする請求項 5、6、7、8 又は 9 記載のボルテージレギュレータ。

**【請求項 11】**

前記定電圧回路部及び出力電流検出回路部は、1つのICに集積されることを特徴とする請求項 5、6、7、8、9 又は 10 記載のボルテージレギュレータ。

【書類名】明細書

【発明の名称】半導体装置及びその半導体装置を使用したボルテージレギュレータ

【技術分野】

【0001】

本発明は、ドライバトランジスタに流れる電流をモニタするために、ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタを備えた半導体装置及びその半導体装置を使用したボルテージレギュレータに関し、特に、負荷に出力する電流を制御して該負荷に定電圧が印加されるようにする電圧制御用のドライバトランジスタから出力された電流を、該電流に比例した電流を出力するモニタトランジスタから出力された電流から検出するようにした半導体装置及びその半導体装置を使用したボルテージレギュレータに関する。

【背景技術】

【0002】

従来、図5で示すように、負荷に出力する電流を制御して該負荷に定電圧が印加されるようにする電圧制御用ドライバトランジスタMaに流れる電流を、該電圧制御用ドライバトランジスタMaから出力される電流に比例した電流を出力するモニタトランジスタMbに流れる電流として検出しフィードバックする回路を備えたボルテージレギュレータがあった（例えば、特許文献1参照）。図5において、回路が作動中であるときの電圧制御用ドライバトランジスタMaは、自身を流れる電流によって発熱する。

【特許文献1】特開平03-158912号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、半導体チップ上において、電圧制御用ドライバトランジスタMaが占めているエリアは通常かなり大きいことから、該エリアが同じ温度で均一に発熱する訳ではなく、通常、中心部の温度が周辺部の温度よりも高くなっていた。また、半導体チップにこのようなドライバトランジスタが複数搭載され、しかも各ドライバトランジスタが並んで配置されている場合、エリアの一方から他方に向かって傾斜した温度分布になる場合もあった。このため、ドライバトランジスタMaの動作時の温度は、該ドライバトランジスタMaが占めているエリアの温度分布を平均した温度となる。

【0004】

このため、図6で示すように、モニタトランジスタMbをドライバトランジスタMaの近辺に配置しても、モニタトランジスタMbの温度は必ずしもドライバトランジスタMaの平均温度と一致しなかった。この結果、回路が動作を開始してドライバトランジスタMaの温度が上昇するに連れて、ドライバトランジスタMaの温度とモニタトランジスタMbの温度との差が大きくなり、ドライバトランジスタMaに流れる電流を正確に検出することができなかった。

また、ドライバトランジスタMaを形成しているエリアは大きいので、半導体チップをパッケージに実装したときの微かな応力によってもドライバトランジスタMaの特性が変化し、モニタトランジスタMbとの特性に差異が生じ、ドライバトランジスタMaに流れる電流とモニタトランジスタMbに流れる電流との電流比が変動するという問題があった。

【0005】

本発明は、上記のような問題を解決するためになされたものであり、ドライバトランジスタの平均温度とモニタトランジスタの温度が同じになるようにして、ドライバトランジスタに流れる電流とモニタトランジスタに流れる電流との電流比が、ドライバトランジスタの発熱によって変化しないようにし、ドライバトランジスタに流れる電流を正確に検出することができる半導体装置及びその半導体装置を使用したボルテージレギュレータを得ることを目的とする。

【課題を解決するための手段】

## 【0006】

この発明に係る半導体装置は、制御電極に入力された信号に応じた電流を出力するドライバトランジスタと、制御電極に該ドライバトランジスタの制御電極と同じ信号が入力され該ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタとを備えた半導体装置において、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域の周囲にそれぞれ形成されるものである。

## 【0007】

また、この発明に係る半導体装置は、制御電極に入力された信号に応じた電流を出力するドライバトランジスタと、制御電極に該ドライバトランジスタの制御電極と同じ信号が入力され該ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタとを備えた半導体装置において、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域内にそれぞれ形成されるものである。

## 【0008】

また、前記モニタトランジスタを形成する各トランジスタは、半導体チップ上に等間隔に形成されるようにしてもよい。

## 【0009】

具体的には、前記ドライバトランジスタ及びモニタトランジスタは、MOSトランジスタである。

## 【0010】

また、この発明に係るボルテージレギュレータは、出力端子から出力される電流に応じた制御信号が制御電極に入力されて該出力端子の電圧を所定の定電圧値になるように制御を行うドライバトランジスタを有し、入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力する定電圧回路部と、

制御電極に前記ドライバトランジスタの制御電極と同じ信号が入力され前記ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタを有し、該モニタトランジスタを使用して、前記ドライバトランジスタに流れた電流の検出を行う出力電流検出回路部と、

を備えたボルテージレギュレータにおいて、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域の周囲にそれぞれ形成されるものである。

## 【0011】

また、この発明に係るボルテージレギュレータは、出力端子から出力される電流に応じた制御信号が制御電極に入力されて該出力端子の電圧を所定の定電圧値になるように制御を行うドライバトランジスタを有し、入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力する定電圧回路部と、

制御電極に前記ドライバトランジスタの制御電極と同じ信号が入力され前記ドライバトランジスタに流れる電流に比例した電流が流れるモニタトランジスタを有し、該モニタトランジスタを使用して、前記ドライバトランジスタに流れた電流の検出を行う出力電流検出回路部と、

を備えたボルテージレギュレータにおいて、

前記モニタトランジスタは、並列に接続された複数のトランジスタで形成され、該各トランジスタは、前記ドライバトランジスタが形成された半導体チップの領域内にそれぞれ形成されるものである。

## 【0012】

また、前記モニタトランジスタを形成する各トランジスタは、半導体チップ上に等間隔

に形成されるようにしてもよい。

#### 【0013】

具体的には、前記出力電流検出回路部は、前記モニタトランジスタに流れた電流を電圧に変換して出力するようにした。

#### 【0014】

一方、前記定電圧回路部は、

入力された制御信号に応じた電流を前記入力端子から前記出力端子に出力する出力電圧制御用のドライバトランジスタと、

所定の基準電圧を生成して出力する基準電圧発生回路と、

前記出力端子からの出力電圧を検出し、該検出した出力電圧に比例した電圧を生成して出力する出力電圧検出回路と、

前記比例電圧が前記基準電圧になるように前記ドライバトランジスタの動作制御を行う演算增幅回路と、

を備え、

前記出力電流検出回路部は、前記モニタトランジスタに流れた電流に比例した電流を前記演算增幅回路における差動対に供給するようにしてもよい。

#### 【0015】

具体的には、前記ドライバトランジスタ及びモニタトランジスタは、MOSトランジスタである。

#### 【0016】

前記定電圧回路部及び出力電流検出回路部は、1つのICに集積されるようにしてもよい。

#### 【発明の効果】

#### 【0017】

本発明の半導体装置及び該半導体装置を使用したボルテージレギュレータによれば、ドライバトランジスタに流れる電流を検出するため、ドライバトランジスタに並列に接続された複数のトランジスタで形成されたモニタトランジスタを備え、該各トランジスタをドライバトランジスタが形成されている半導体チップの領域の周囲、又は該領域内に配置するようにしたことから、ドライバトランジスタとモニタトランジスタとの電流比が温度によって変動することなく、ドライバトランジスタに流れる電流を正確に検出することができる。更に、パッケージに実装した場合に生じる応力によるトランジスタ特性の変動に対して、ドライバトランジスタとモニタトランジスタの特性を合わせることができ、より正確な電流検出を行うことができる。

#### 【発明を実施するための最良の形態】

#### 【0018】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態。

図1は、本発明の第1の実施の形態における半導体装置を使用するボルテージレギュレータの構成例を示した図である。

図1において、ボルテージレギュレータ1は、入力端子INに入力された入力電圧である電源電圧Vddを所定の定電圧に変換して出力端子OUTから負荷10に出力する定電圧回路部2と、出力端子OUTから出力される電流ioの検出を行い、該検出した電流ioに応じた電流を出力する出力電流検出回路部3とで構成されている。なお、定電圧回路部2及び出力電流検出回路部3は、1つのICに集積されるようにしてもよい。

#### 【0019】

定電圧回路部2は、出力端子OUTから出力される電流値に対応したゲート電圧が印加されて出力端子OUTの電圧を所定の定電圧値になるように制御を行うPMOSトランジスタからなるドライバトランジスタM1と、出力電圧V0を分圧して分圧電圧VFBを生成し出力する出力電圧検出用の抵抗R1、R2と、所定の基準電圧Vrを生成して出力する基準電圧発生回路5と、分圧電圧VFBが基準電圧Vrになるようにドライバトランジ

スタM 1 の動作制御を行う演算增幅回路AMP 1 とで構成されている。なお、抵抗R 1 及びR 2 は出力電圧検出回路をなす。

#### 【0020】

電源電圧Vddと接地電圧との間には、ドライバトランジスタM1、抵抗R1及びR2が直列に接続されており、ドライバトランジスタM1と抵抗R1との接続部は出力端子OUTに接続されている。抵抗R1とR2は、出力電圧Voを分圧して分圧電圧VFBを生成し、該分圧電圧VFBは演算增幅回路AMP1の非反転入力端に入力されている。演算增幅回路AMP1の反転入力端には基準電圧Vrが入力され、演算增幅回路AMP1の出力端はドライバトランジスタM1のゲートに接続されている。なお、定電圧回路部2を構成している抵抗R1、R2は、大きな抵抗値の抵抗であり、抵抗R1及びR2に流れる電流iRは、ドライバトランジスタM1に流れる電流i1と比較して無視できるほど小さく、出力端子OUTから出力される電流ioは電流i1と同じ電流値であるものとする。

#### 【0021】

演算增幅回路AMP1は、差動対をなすNMOSトランジスタM2、M3と、該差動対の負荷をなすカレントミラー回路を形成するPMOSトランジスタM4、M5と、前記差動対の電流源をなすNMOSトランジスタM6とで構成されている。PMOSトランジスタM4及びM5の各ソースは電源電圧Vddにそれぞれ接続され、PMOSトランジスタM4及びM5の各ゲートは接続され該接続部がPMOSトランジスタM5のドレインに接続されている。NMOSトランジスタM3のドレインはPMOSトランジスタM4のドレインに接続され、該接続部は演算增幅回路AMP1の出力端をなし、ドライバトランジスタM1のゲートに接続されている。NMOSトランジスタM2のゲートには分圧電圧VFBが入力され、NMOSトランジスタM3のゲートには基準電圧Vrが入力されている。NMOSトランジスタM2及びM3の各ソースは接続され、該接続部と接地電圧との間にNMOSトランジスタM6が接続されている。NMOSトランジスタM6のゲートには基準電圧Vrが入力され、NMOSトランジスタM6は定電流源をなす。

#### 【0022】

次に、出力電流検出回路部3は、ドライバトランジスタM1と同じゲート電圧が入力されるPMOSトランジスタからなるモニタトランジスタM11と、モニタトランジスタM11のドレイン電流i2と同じ電流が流れるNMOSトランジスタM12と、NMOSトランジスタM12とカレントミラー回路を構成するNMOSトランジスタM13とで構成されている。更に、モニタトランジスタM11は、並列に接続された複数のPMOSトランジスタQ1～Qn（nは、n>1の整数）からなり、PMOSトランジスタQ1～Qnの各ゲートは接続され該接続部がモニタトランジスタM11のゲートをなし、PMOSトランジスタQ1～Qnの各ソースは接続され該接続部がモニタトランジスタM11のソースをなし、PMOSトランジスタQ1～Qnの各ドレインは接続され該接続部がモニタトランジスタM11のドレインをなす。

#### 【0023】

電源電圧Vddと接地電圧との間にはモニタトランジスタM11及びNMOSトランジスタM12が直列に接続されており、モニタトランジスタM11のゲートはドライバトランジスタM1のゲートに接続されている。NMOSトランジスタM12及びM13の各ゲートは接続され、該接続部はNMOSトランジスタM12のドレインに接続されており、NMOSトランジスタM13は、NMOSトランジスタM6に並列に接続されている。

#### 【0024】

このような構成において、ドライバトランジスタM1に流れる電流i1が増加すると、該電流i1をモニタするためのモニタトランジスタM11を流れる電流i2が増加し、NMOSトランジスタM13から供給される電流が増加する。このため、差動対をなすNMOSトランジスタM2及びM3に供給する電流が増加し、演算增幅回路AMP1は、分圧電圧VFBの変化に対する応答速度が速くなる。一方、ドライバトランジスタM1に流れる電流i1が減少すると、モニタトランジスタM11を流れる電流i2が減少し、NMOSトランジスタM13から供給される電流が減少する。このため、差動対をなすNMOS

トランジスタM2及びM3に供給する電流が減少し、演算增幅回路AMP1は、分圧電圧VFBの変化に対する応答速度が遅くなるが、消費電力が低下する。

#### 【0025】

なお、図1では、出力電流検出回路部3は、ドライバトランジスタM1に流れる電流*i*1に比例した電流を出力するようにしたが、図2で示すように、ドライバトランジスタM1に流れる電流*i*1に比例した電流を抵抗R3によって電圧に変換して出力するようにしてもよい。該電圧は、ドライバトランジスタM1の過電流を防止する回路や、ドライバトランジスタM1の電流を制限する回路等で使用される。

#### 【0026】

次に、図3は、本発明の第1の実施の形態における半導体装置の例を示した図であり、図1のドライバトランジスタM1及びモニタトランジスタM11を半導体チップ上に形成した際の各トランジスタの領域の配置例を示している。なお、以下、n=4の場合を例にして説明する。

図3において、21は半導体チップを、PA1～PA4は半導体チップ21と外部回路とを接続するためのパッドを、AM1はドライバトランジスタM1が形成されている領域を、AQ1～AQ4はモニタトランジスタM11を形成するPMOSトランジスタQ1～Q4が形成されている領域である。

#### 【0027】

ドライバトランジスタM1は、ドライバトランジスタM1が形成されている領域AM1と同じ大きさの1つのトランジスタでも、複数の単位セルの集合体として形成されていてもよい。同様に、領域AQ1～AQ4に配置されたPMOSトランジスタQ1～Q4においても、それぞれ1つずつのトランジスタであっても、単位セルの集合体であってもどちらでもよい。説明の便宜上、単位セルの集合体の場合も含め、単にトランジスタと表記する。

図3の場合、モニタトランジスタM11を形成するPMOSトランジスタQ1～Q4をドライバトランジスタM1の領域AM1の周囲に配置しており、PMOSトランジスタQ1～Q4の領域AQ1～AQ4は等間隔に形成するようにしてもよい。PMOSトランジスタQ1～Q4はそれぞれ並列に接続されており、合成された1つのPMOSトランジスタとして動作する。このため、該合成されたPMOSトランジスタであるモニタトランジスタM11の温度は、PMOSトランジスタQ1～Q4の各MOSトランジスタの温度を平均した温度になることから、ドライバトランジスタM1の平均温度に近づけることができる。

#### 【0028】

ここで、ドライバトランジスタM1が形成された領域AM1の温度分布は、通常、領域AM1の中心部ほど温度が高く、周辺に向かうほど温度が低くなる。このため、ドライバトランジスタM1の平均温度は、領域AM1における中央と周辺との中間ぐらいの位置の温度とほぼ等しくなる。このようなことから、PMOSトランジスタQ1～Q4を、ドライバトランジスタM1の領域AM1における中央と周辺との中間ぐらいの位置にそれぞれ配置することにより、ドライバトランジスタM1とPMOSトランジスタQ1～Q4の平均温度とを近づけることができる。図4は、このようにした場合の各トランジスタの領域の配置例を示しており、PMOSトランジスタQ1～Q4の領域AQ1～AQ4は等間隔に形成するようにしてもよい。なお、図4では、図3と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略する。

#### 【0029】

また、半導体チップをパッケージに実装した場合、半導体チップに僅かに応力が生じ、MOSトランジスタのしきい値電圧等の特性を変化させてしまう場合がある。該変化の度合いは、半導体チップの中央よりも周辺の方が大きいことから、図3及び図4で示したように、モニタトランジスタM11を形成する複数のPMOSトランジスタQ1～Q4をドライバトランジスタM1の領域AM1の周辺又は内部に配置しておくことにより、半導体チップに生じた応力によるMOSトランジスタの特性変化を平均化することができ、ド

イバトランジスタM1とモニタトランジスタM11の特性を合わせることができる。

### 【0030】

なお、図3及び図4では、モニタトランジスタM11を形成するPMOSトランジスタの数が4つの場合を例にして示したが、本発明は、モニタトランジスタM11を形成するMOSトランジスタの数を4つに限定するものではなく、ドライバトランジスタM1が形成されている領域の大きさや温度分布の状態を考慮して、モニタトランジスタM11を形成するMOSトランジスタの数を最適な数になるようにすればよい。但し、製造上において、モニタトランジスタM11を形成するMOSトランジスタの数は偶数にする方がモニタトランジスタM11の特性のばらつきを小さくすることができる。また、ドライバトランジスタM1及びモニタトランジスタM11は、MOSトランジスタに限定するものではなく、バイポーラトランジスタや、ジャンクション型FETであってもよい。

### 【0031】

このように、本第1の実施の形態における半導体装置は、ドライバトランジスタM1に流れる電流を検出するため、ドライバトランジスタM1に並列に接続された複数のPMOSトランジスタQ1～Qnで形成されたモニタトランジスタM11を備え、各PMOSトランジスタQ1～Qnをドライバトランジスタが形成されている半導体チップの領域の周囲、又は該領域内に配置するようにしたことから、ドライバトランジスタM1とモニタトランジスタM11との電流比が温度によって変動することなく、ドライバトランジスタに流れる電流を正確に検出することができる。更に、パッケージに実装した場合に生じる応力によるトランジスタ特性の変動に対して、ドライバトランジスタとモニタトランジスタの特性を合わせることができ、より正確な電流検出を行うことができる。

### 【図面の簡単な説明】

#### 【0032】

【図1】本発明の第1の実施の形態における半導体装置を使用するボルテージレギュレータの構成例を示した図である。

【図2】本発明の第1の実施の形態における半導体装置を使用するボルテージレギュレータの他の構成例を示した図である。

【図3】本発明の第1の実施の形態における半導体装置の例を示した図である。

【図4】本発明の第1の実施の形態における半導体装置の他の例を示した図である。

【図5】従来の半導体装置を使用するボルテージレギュレータの構成例を示した図である。

【図6】従来の半導体装置の例を示した図である。

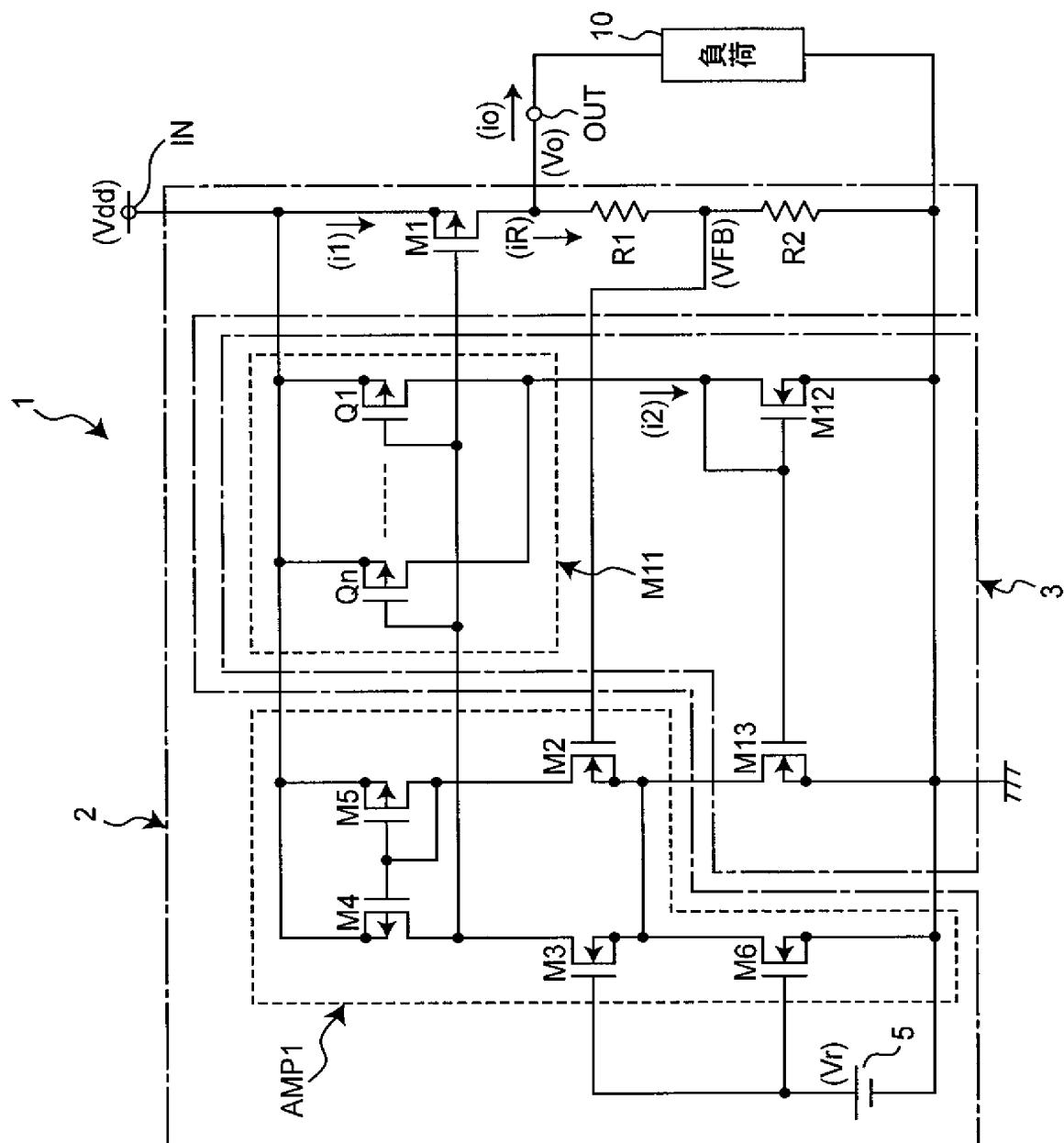
### 【符号の説明】

#### 【0033】

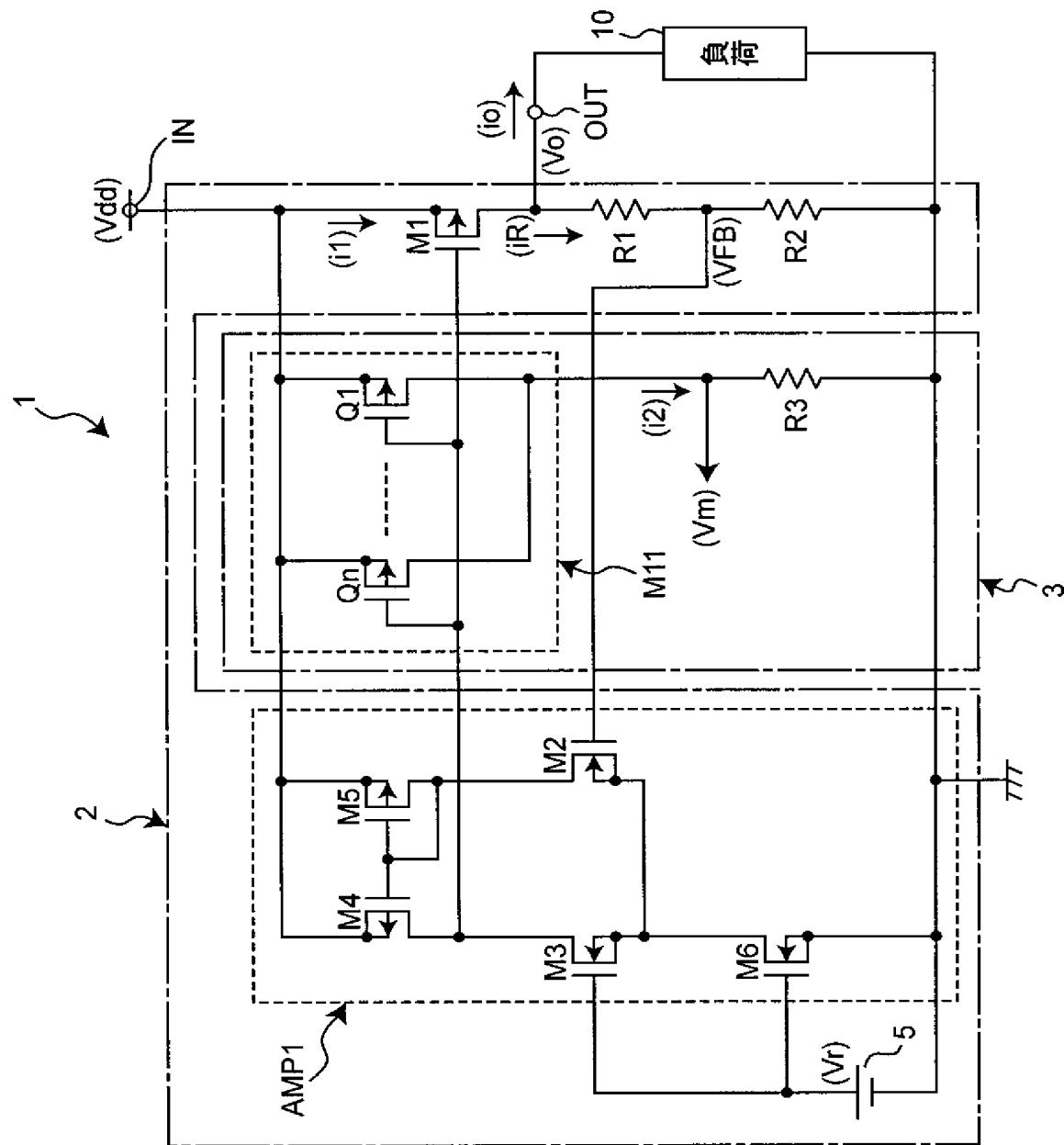
- 1 ボルテージレギュレータ
- 2 定電圧回路部
- 3 出力電流検出回路部
- 5 基準電圧発生回路
- 10 負荷
- 21 半導体チップ
- M1 ドライバトランジスタ
- M11 モニタトランジスタ
- AMP1 演算增幅回路
- R1～R3 抵抗
- Q1～Qn PMOSトランジスタ
- M12, M13 NMOSトランジスタ

【書類名】回路

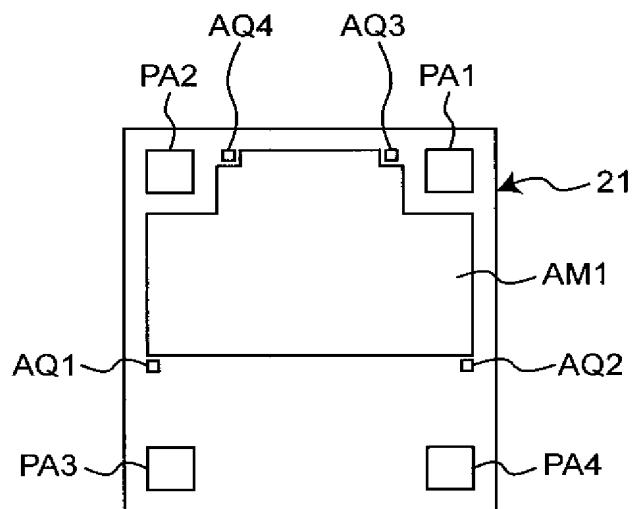
【図 1】



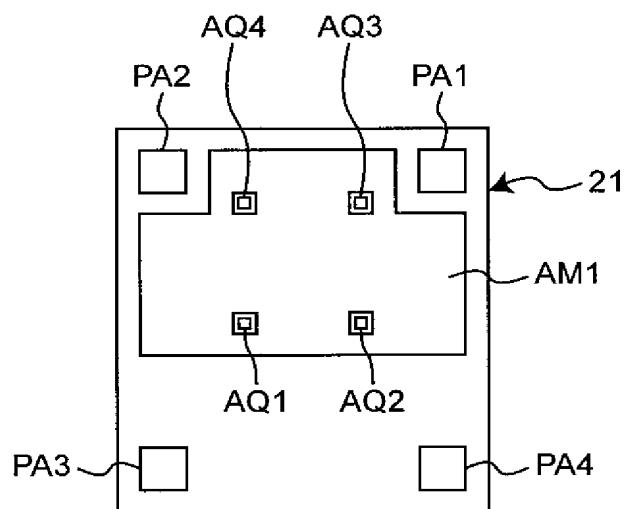
【図 2】



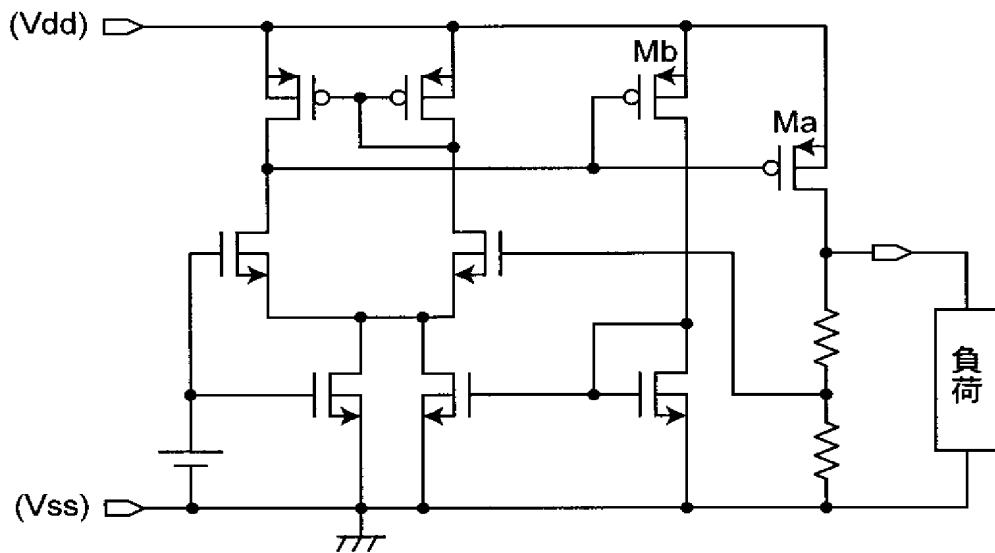
【図 3】



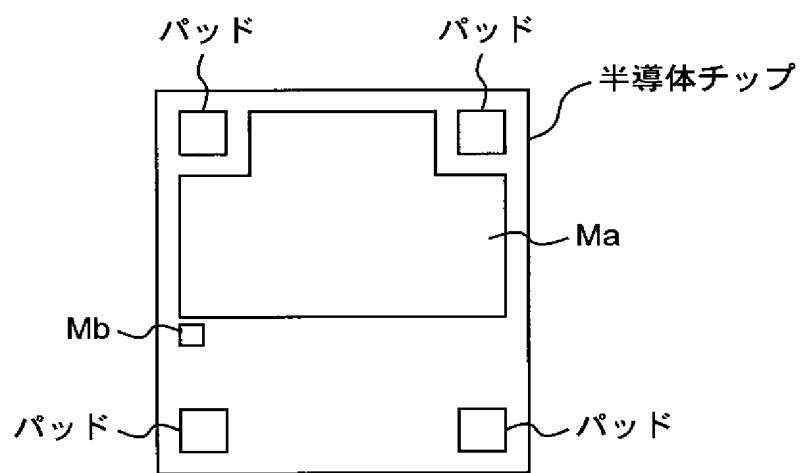
【図 4】



【図 5】



【図 6】



【書類名】要約書

【要約】

【課題】 モニタトランジスタを使用してドライバトランジスタに流れる電流を正確に検出することができる半導体装置及びその半導体装置を使用したボルテージレギュレータを得る。

【解決手段】 ドライバトランジスタM1に流れる電流を検出するため、ドライバトランジスタM1に並列に接続された複数のPMOSトランジスタQ1～Q4で形成したモニタトランジスタM11を備え、半導体チップ21において、各PMOSトランジスタQ1～Q4が形成された領域AQ1～AQ4をドライバトランジスタM1が形成されている領域AM1の周囲、又は該領域AM1内に配置するようにした。

【選択図】 図3

出願人履歴

0 0 0 0 6 7 4 7

20020517

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー